



Ricardo Fernández Pascual

Generado desde: Editor CVN de FECYT

Fecha del documento: 27/03/2024

v 1.4.3

77c68ac9e84b3abc83deb361416bc273

Este fichero electrónico (PDF) contiene incrustada la tecnología CVN (CVN-XML). La tecnología CVN de este fichero permite exportar e importar los datos curriculares desde y hacia cualquier base de datos compatible. Listado de Bases de Datos adaptadas disponible en <http://cvn.fecyt.es/>



Resumen libre del currículum

Descripción breve de la trayectoria científica, los principales logros científico-técnicos obtenidos, los intereses y objetivos científico-técnicos a medio/largo plazo de la línea de investigación. Incluye también otros aspectos o peculiaridades importantes.

I have maintained a constant research activity during my predoctoral period as well as my later postdoctoral period which has allowed me to publish regularly in indexed journals as well as in well-known and prestigious congresses.

My research has centered around multiprocessor's memory hierarchy. Additionally, I also did research related with compilers during a stay at ST Microelectronics in Lugano (Switzerland) in 2006. During my predoctoral phase, the objective was to improve the reliability and fault-tolerance of computer chips. After that, the main objective has been the reduction of the energy consumption and the execution time of programs in CMPs by means of the optimization of the coherence protocol and the use of novel interconnections (photonic and heterogeneous), as well as the improvement of their scalability. Most recently, my research has focused in Hardware Transactional Memory.

I have participated in the elaboration of a number of research projects at the regional, national and European levels (without success at the European level).

I supervised, with the collaboration of José Manuel García Carrasco, a PhD thesis which achieved a Summa Cum Laude degree and had an European Thesis mention.

My current main research areas include the improvement of the scalability of cache coherence and the support for Hardware Transactional Memory. The research activity described above has been carried while having full-time teaching responsibilities since 2007 and administrative duties from 2011 to 2015.

I have co-led a technology transference project with Huawei Co. Ltd. to help the company to improve the support for Hardware Transactional Memory in their server processors.

I have published 17 papers in JCR journals and 20 papers in international conferences. Of those 12 journals and 7 conferences have been published in the last 10 years. The funding for this has come from 8 national (Spain) and 3 regional projects (Región de Murcia). I currently lead a national research project funded by the Ministerio de Ciencia e Innovación and by the "European Union NEXTGENERATIONEU/PRTR"



C

V

N

CURRÍCULUM VÍTAE NORMALIZADO

77c68ac9e84b3abc83deb361416bc273

|

**Ricardo Fernández Pascual**

Apellidos: **Fernández Pascual**
Nombre: **Ricardo**
DNI:
Fecha de nacimiento:
Sexo:
Nacionalidad:
País de nacimiento:
C. Autón./Reg. de nacimiento:
Provincia de contacto:
Ciudad de nacimiento:
Dirección de contacto:
Código postal:
País de contacto:
C. Autón./Reg. de contacto:
Ciudad de contacto:
Teléfono fijo:
Correo electrónico:
Teléfono móvil:
Página web personal:

Situación profesional actual

Entidad empleadora: Universidad de Murcia **Tipo de entidad:** Universidad
Departamento: Departamento de Ingeniería y Tecnología de Computadores, Facultad de Informática
Categoría profesional: Profesor Titular
Fecha de inicio: 06/12/2018
Modalidad de contrato: Funcionario/a **Régimen de dedicación:** Tiempo completo
Primaria (Cód. Unesco): 330406 - Arquitectura de ordenadores

Cargos y actividades desempeñados con anterioridad

	Entidad empleadora	Categoría profesional	Fecha de inicio
1	Universidad de Murcia	Profesor contratado doctor	01/05/2013
2	Universidad de Murcia	Profesor ayudante doctor	01/10/2010
3	Universidad de Murcia	Profesor ayudante	07/12/2006
4	FUNDACION SENECA AGENCIA DE CIENCIA Y TECNOLOGIA DE LA REGION DE MURCIA	Becario de investigación	15/11/2004
5	STMicroelectronics Advanced System Technology	Research intern	01/09/2006



- 1** Entidad empleadora: Universidad de Murcia **Tipo de entidad:** Universidad
Categoría profesional: Profesor contratado doctor
Fecha de inicio-fin: 01/05/2013 - 05/12/2018
- 2** Entidad empleadora: Universidad de Murcia **Tipo de entidad:** Universidad
Categoría profesional: Profesor ayudante doctor
Fecha de inicio-fin: 01/10/2010 - 30/04/2013
- 3** Entidad empleadora: Universidad de Murcia **Tipo de entidad:** Universidad
Categoría profesional: Profesor ayudante
Fecha de inicio-fin: 07/12/2006 - 30/09/2010
- 4** Entidad empleadora: FUNDACION SENECA AGENCIA DE CIENCIA Y TECNOLOGIA DE LA REGION DE MURCIA
Categoría profesional: Becario de investigación
Fecha de inicio-fin: 15/11/2004 - 05/12/2006
- 5** Entidad empleadora: STMicroelectronics Advanced System Technology
Categoría profesional: Research intern
Fecha de inicio-fin: 01/09/2006 - 30/11/2006



Formación académica recibida

Titulación universitaria

Estudios de 1º y 2º ciclo, y antiguos ciclos (Licenciados, Diplomados, Ingenieros Superiores, Ingenieros Técnicos, Arquitectos)

Titulación universitaria: Titulado Superior

Nombre del título: Ingeniero en Informática

Entidad de titulación: Universidad de Murcia

Tipo de entidad: Universidad

Fecha de titulación: 30/07/2004

Doctorados

Programa de doctorado: Doctor por la Universidad de Murcia dentro del Programa en Tecnologías de la información y telemática avanzada

Entidad de titulación: Universidad de Murcia

Tipo de entidad: Universidad

Fecha de titulación: 30/07/2009

Doctorado Europeo: Si

Fecha de mención: 19/09/2007

Título de la tesis: Fault-tolerant Cache Coherence Protocols for CMPs

Director/a de tesis: José Manuel García Carrasco

Codirector/a de tesis: Manuel Eugenio Acacio Sánchez

Calificación obtenida: sobresaliente cum laude

Mención de calidad: Si

Premio extraordinario doctor: Si

Actividad docente

Dirección de tesis doctorales y/o proyectos fin de carrera

Título del trabajo: Improving the Energy-Efficiency of Cache-Coherent Multi-Cores

Tipo de proyecto: Tesis Doctoral

Entidad de realización: Universidad de Murcia

Tipo de entidad: Universidad

Alumno/a: Antonio García Guirado

Calificación obtenida: Sobresaliente cum laude

Fecha de defensa: 22/11/2013

Doctorado Europeo: Si

Mención de calidad: Si



Experiencia científica y tecnológica

Actividad científica o tecnológica

Proyectos de I+D+i financiados en convocatorias competitivas de Administraciones o entidades públicas y privadas

- 1** **Nombre del proyecto:** Design of Energy-Sustainable and Efficient Computing Systems (TED2021-130233B-C33)
Grado de contribución: Coordinador del proyecto total, red o consorcio
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Nombres investigadores principales (IP, Co-IP,...): Ricardo Fernández Pascual; Juan Luis Aragón Alcaraz
Nº de investigadores/as: 5
Entidad/es financiadora/s: EUROPEAN UNION NEXTGENERATIONEU/PRTR **Tipo de entidad:** Comunidad Europea
Ministerio de Ciencia e Innovación **Tipo de entidad:** Ministerio
Tipo de participación: Investigador principal
Fecha de inicio-fin: 01/12/2022 - 30/11/2024
Cuantía total: 217.695 €
- 2** **Nombre del proyecto:** Desarrollos Avanzados para la Mejora de las Arquitecturas Superchip
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Ciudad entidad realización: Murcia, Región de Murcia, España
Nombres investigadores principales (IP, Co-IP,...): Alberto Ros Bardisa; Manuel Eugenio Acacio Sánchez
Nº de investigadores/as: 11
Fecha de inicio-fin: 01/09/2023 - 31/08/2024
Cuantía total: 317.000 €
- 3** **Nombre del proyecto:** Técnicas innovadoras en computación especializada y de altas prestaciones
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Nombres investigadores principales (IP, Co-IP,...): Antonio Javier Cuenca Muñoz; Manuel Eugenio Acacio Sánchez
Nº de investigadores/as: 17
Fecha de inicio-fin: 01/01/2019 - 30/06/2022
Cuantía total: 137.900 €
- 4** **Nombre del proyecto:** Técnicas para la Mejora de las Prestaciones, Fiabilidad y Consumo de Energía de los Servidores. Optimización de Aplicaciones Científicas, Médicas y de Visión Artificial (TIN2015-66972-C5-3-R)
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Nombres investigadores principales (IP, Co-IP,...): Manuel Eugenio Acacio Sánchez; Gregorio Bernabé García
Nº de investigadores/as: 17
Fecha de inicio-fin: 01/01/2016 - 31/12/2018



Cuantía total: 199.166 €

- 5** **Nombre del proyecto:** Mejora del Rendimiento y la Eficiencia de los Multiprocesadores en un Único Chip Basada en la Naturaleza de los Datos accedidos por las Aplicaciones (18956/JLI/13)
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Nombres investigadores principales (IP, Co-IP,...): Alberto Ros Bardisa
Nº de investigadores/as: 3
Fecha de inicio-fin: 01/07/2014 - 30/06/2016
Cuantía total: 29.000 €
- 6** **Nombre del proyecto:** Sistemas Heterogéneos Eficientes Energéticamente (TIN2012-31345)
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Nombres investigadores principales (IP, Co-IP,...): José Manuel García Carrasco
Nº de investigadores/as: 12
Fecha de inicio-fin: 01/01/2013 - 31/12/2015
Cuantía total: 22.581 €
- 7** **Nombre del proyecto:** Arquitecturas de Servidores Aplicaciones y Servicios (TIN2009-14475-C04-04)
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Nombres investigadores principales (IP, Co-IP,...): José Manuel García Carrasco
Nº de investigadores/as: 30
Fecha de inicio-fin: 01/01/2010 - 31/12/2012
Cuantía total: 409.101 €
- 8** **Nombre del proyecto:** Arquitecturas Fiables y de Altas Prestaciones para Centros de Proceso de Datos y Servidores de Internet (CSD2006-00046)
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Nombres investigadores principales (IP, Co-IP,...): José Francisco Duato Marín
Nº de investigadores/as: 54
Fecha de inicio-fin: 01/10/2006 - 30/09/2011
Cuantía total: 663.276 €
- 9** **Nombre del proyecto:** Estrategias de aplicación de la virtualización al entorno de los supercomputadores (00001/CS/2007)
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Nombres investigadores principales (IP, Co-IP,...): José Manuel García Carrasco
Nº de investigadores/as: 6
Fecha de inicio-fin: 01/01/2008 - 31/12/2010
Cuantía total: 51.300 €
- 10** **Nombre del proyecto:** Diseño de Arquitecturas CMP Eficientes Energéticamente y Fiables para Sistemas Empotrados de Próxima Generación (05831/PI/2007)
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad
Nombres investigadores principales (IP, Co-IP,...): José Manuel García Carrasco
Nº de investigadores/as: 6
Fecha de inicio-fin: 01/01/2007 - 31/12/2009
Cuantía total: 33.900 €
- 11** **Nombre del proyecto:** Mejora de las Prestaciones, Servicios y Aplicaciones Ofrecidas por Arquitecturas Cluster de Altas Prestaciones (TIN2006-15516-C04-03)
Entidad de realización: Universidad de Murcia **Tipo de entidad:** Universidad



Nombres investigadores principales (IP, Co-IP,...): José Manuel García Carrasco

Nº de investigadores/as: 17

Fecha de inicio-fin: 01/10/2006 - 30/09/2009

Cuantía total: 193.600 €

Contratos, convenios o proyectos de I+D+i no competitivos con Administraciones o entidades públicas o privadas

Nombre del proyecto: Exploring the Implementation Space of ARM'S Transactional Memory Extensions (TME) Using GEM5.

Grado de contribución: Coordinador/a científico/a

Nombres investigadores principales (IP, Co-IP,...): José Rubén Titos Gil; Ricardo Fernández Pascual

Nº de investigadores/as: 4

Entidad/es financiadora/s:

Huawei Technologies Co., LTD

Tipo de entidad: Entidad Empresarial

Ciudad entidad financiadora: Shenzhen, China

Fecha de inicio: 16/03/2021

Duración: 1 año

Cuantía total: 71.400 €

Actividades científicas y tecnológicas

Producción científica

Publicaciones, documentos científicos y técnicos

- 1** Víctor Nicolás Conesa; Rubén Titos Gil; Ricardo Fernández Pascual; Alberto Ros Bardisa; Manuel Eugenio Acacio Sánchez. On the interactions between ILP and TLP with hardware transactional memory. Microprocessors and Microsystems. 104, pp. 104975. Elsevier, 02/2024. Disponible en Internet en: <<https://doi.org/10.1016/j.micpro.2023.104975>>. ISSN 0141-9331

Tipo de producción: Artículo científico **Tipo de soporte:** Revista

Autor de correspondencia: No
- 2** Marina Shimchenko; Rubén Titos Gil; Ricardo Fernández Pascual; Manuel Eugenio Acacio Sánchez; Stefanos Kaxiras; Alberto Ros; Alexandra Jimborean. Analysing software prefetching opportunities in hardware transactional memory. The Journal of Supercomputing. 1 - 78, pp. 919 - 944. Springer, 01/2022.

Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 3** Rubén Titos Gil; Ricardo Fernández Pascual; Alberto Ros; Manuel Eugenio Acacio Sánchez. DeTraS: Delaying stores for friendly-fire mitigation in hardware transactional memory. IEEE Transactions on Parallel and Distributed Systems. 33 - 1, pp. 1 - 13. IEEE Computer Society, 2022.

Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 4** Rubén Titos Gil; Ricardo Fernández Pascual; Alberto Ros Bardisa; Manuel Eugenio Acacio Sánchez. Concurrent Irrevocability in Best-Effort Hardware Transactional Memory. IEEE Transactions on Parallel and Distributed Systems (TPDS). 31 - 6, pp. 1301 - 1315. IEEE Computer Society, 06/2020.

Tipo de producción: Artículo científico **Tipo de soporte:** Revista

- 5** Rubén Titos Gil; Ricardo Fernández Pascual; Alberto Ros Bardisa; Manuel Eugenio Acacio Sánchez. PFTouch: Concurrent page-fault handling for Intel restricted transactional memory. Journal of Parallel and Distributed Computing (JPDC). 145 - 1, pp. 111 - 123. Elsevier, 2020.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 6** Rubén Titos Gil; Antonio Flores Gil; Ricardo Fernández Pascual; Alberto Ros Bardisa; Salvador Petit Martí; Julio Sahuquillo Borrás; Manuel Eugenio Acacio Sánchez. Way Combination for an Adaptive and Scalable Coherence Directory. IEEE Transactions on Parallel and Distributed Systems (TPDS). 30 - 11, pp. 2608 - 2623. IEEE Computer Society, 04/2019.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 7** Ricardo Fernández Pascual; Alberto Ros; Manuel Eugenio Acacio Sánchez. To be silent or not: on the impact of evictions of clean data in cache-coherent multicores. Journal of Supercomputing. 73 - 10, pp. 4428 - 4443. Springer, 03/2017.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
Autor de correspondencia: Si
- 8** Juan Manuel Cebrián González; Ricardo Fernández Pascual; Alexandra Jimborean; Manuel Eugenio Acacio Sánchez; Alberto Ros Bardisa. A dedicated private-shared cache design for scalable multiprocessors. Concurrency and Computation: Practice and Experience (CPE). 29 - 2, pp. 1 - 13. John Wiley & Sons, Ltd, 01/2017.
Tipo de producción: Artículo científico
- 9** Ricardo Fernández Pascual; Alberto Ros Bardisa; Manuel Eugenio Acacio Sánchez. Are distributed sharing codes a solution to the scalability problem of coherence directories in manycores? An evaluation study. The Journal of Supercomputing. 72 - 2, pp. 612 - 638. Springer, 02/2016.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
Autor de correspondencia: Si
- 10** Antonio García Guirado; Ricardo Fernández Pascual; Jose Manuel García Carrasco. ICCI: In-cache coherence information. IEEE Transactions on Computers. 64 - 4, pp. 995 - 1014. IEEE Computer Society, 04/2015.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 11** Antonio García Guirado; Ricardo Fernández Pascual; José Manuel García Carrasco; Sandro Bartollini. Managing resources dynamically in hybrid photonic-electronic networks-on-chip. Concurrency and Computation: Practice and Experience. 26 - 15, pp. 2530 - 2550. John Wiley & Sons, Ltd., 10/2014.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 12** Alberto Ros Bardisa; Blas Cuesta; Ricardo Fernández Pascual; Maria Engracia Gómez; Manuel Eugenio Acacio Sánchez; Antonio Robles; José Manuel García Carrasco; José Duato Marín. Extending magny-cours cache coherence. IEEE Transactions on Computers (TC). 65 - 1, pp. 593 - 606. IEEE Computer Society, 05/2012.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
Autor de correspondencia: Si
- 13** Antonio García Guirado; Ricardo Fernández Pascual; Alberto Ros Bardisa; José Manuel García Carrasco. DAPSCO: Distance-aware partially shared cache organization. Transactions on Architecture and Code Optimization (TACO). 8 - 4, pp. 1 - 20. ACM, 01/2012.
Tipo de producción: Artículo científico **Tipo de soporte:** Revista
- 14** Ricardo Fernández Pascual; José Manuel García Carrasco; Manuel Eugenio Acacio Sánchez; José Duato. Dealing with transient faults in the interconnection network of CMPs at the cache coherence level. IEEE Transactions on Parallel and Distributed Systems (TPDS). 21 - 8, pp. 1117 - 1131. IEEE Computer Society, 08/2010.

**Tipo de producción:** Artículo científico**Tipo de soporte:** Revista**Autor de correspondencia:** Si

- 15** Alberto Ros Bardisa; Ricardo Fernández Pascual; Manuel Eugenio Acacio Sánchez; José Manuel García Carrasco. Two proposals for the inclusion of directory information in the last-level private caches of glueless shared-memory multiprocessors. *Journal of Parallel and Distributed Computing (JPDC)*. 68 - 11, pp. 1413 - 1424. Elsevier, 01/11/2008.

Tipo de producción: Artículo científico**Tipo de soporte:** Revista

- 16** Ricardo Fernández Pascual; José Manuel García Carrasco; Manuel Eugenio Acacio Sánchez; José Duato Marín. Extending the tokenCMP cache coherence protocol for low overhead fault tolerance in CMP architectures. *IEEE Transactions on Parallel and Distributed Systems*. 19 - 8, pp. 1044 - 1056. IEEE Computer Society, 01/08/2008.

Tipo de producción: Artículo científico**Tipo de soporte:** Revista**Autor de correspondencia:** Si

- 17** Gregorio Bernabé García; Ricardo Fernández Pascual; José Manuel García Carrasco; Manuel Eugenio Acacio Sánchez; José González Cuadrado. An efficient implementation of a 3D wavelet transform based encoder on hyper-threading technology. *Parallel Computing*. 33 - 1, pp. 54 - 72. Elsevier, 01/02/2007.

Tipo de producción: Artículo científico**Tipo de soporte:** Revista

Trabajos presentados en congresos nacionales o internacionales

- 1** **Título del trabajo:** Analysis of the Interactions Between ILP and TLP With Hardware Transactional Memory
Nombre del congreso: 30th Euromicro International Conference on Parallel, Distributed and Network-based Processing

Ciudad de celebración: Valladolid, España**Fecha de celebración:** 18/04/2022

Víctor Nicolás Conesa; Rubén Titos Gil; Ricardo Fernández Pascual; Alberto Ros Bardisa; Manuel Eugenio Acacio Sánchez.

- 2** **Título del trabajo:** Way-combining directory: an adaptive and scalable low-cost coherence directory
Nombre del congreso: Rubén Titos-Gil, Antonio Flores, Ricardo Fernández-Pascual, Alberto Ros, Manuel E. Acacio

Ciudad de celebración: Chicago, Estados Unidos de América**Fecha de celebración:** 14/06/2017**Fecha de finalización:** 16/07/2017**Ciudad entidad organizadora:** IEEE Computer Society,

Rubén Titos Gil; Antonio Flores Gil; Ricardo Fernández Pascual; Alberto Ros; Manuel Eugenio Acacio Sánchez.

- 3** **Título del trabajo:** Optimization of a Linked Cache Coherence Protocol for Scalable Manycore Coherence
Nombre del congreso: 29th International Conference on Architecture of Computing Systems (ARCS2016)
Autor de correspondencia: Si

Ciudad de celebración: Nuremberg, Alemania**Fecha de celebración:** 04/04/2016**Fecha de finalización:** 07/04/2016

Ricardo Fernández Pascual; Alberto Ros Bardisa; Manuel Eugenio Acacio Sánchez.

- 4** **Título del trabajo:** Early Experiences with Separate Caches for Private and Shared Data
Nombre del congreso: 2015 IEEE 11th International Conference on e-Science (e-Science)
Ciudad de celebración: Munich, Alemania



Fecha de celebración: 31/08/2015

Juan Manuel Cebrián González; Alberto Ros Bardisa; Ricardo Fernández Pascual; Manuel eugenio Acacio Sánchez.

5 Título del trabajo: Characterization of a List-Based Directory Cache Coherence Protocol for Manycore CMPs

Nombre del congreso: 4th Workshop on On-chip memory hierarchies and interconnects: organization, management and implementation (OMHI)

Autor de correspondencia: Si

Ciudad de celebración: Oporto, Portugal

Fecha de celebración: 25/08/2014

Fecha de finalización: 29/08/2014

Ricardo Fernández Pascual; Alberto Ros; Manuel Eugenio Acacio Sánchez.

6 Título del trabajo: Dynamic Management Policies for Exploiting Hybrid Photonic-Electronic NoCs

Nombre del congreso: Exploiting Silicon Photonics for energy-efficient heterogeneous parallel architectures (SiPhotonics'2014, in conjunction with HiPEAC conference 2014)

Ciudad de celebración: Viena, Austria

Fecha de celebración: 21/01/2014

Entidad organizadora: HiPEAC (High Performance Embedded Architecture and Compilation) **Tipo de entidad:** Asociaciones y Agrupaciones

Antonio García Guirado; Ricardo Fernández Pascual; José Manuel García Carrasco; Sandro Bartollini.

7 Título del trabajo: Using Heterogeneous Networks to Improve Energy Efficiency in Direct Coherence Protocols for Many-Core CMPs

Nombre del congreso: International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD-2012)

Ciudad de celebración: New York, Estados Unidos de América

Fecha de celebración: 24/10/2012

Fecha de finalización: 26/10/2012

Alberto Ros; Ricardo Fernández Pascual; Manuel Eugenio Acacio Sánchez.

8 Título del trabajo: Energy-Efficient Cache Coherence Protocols in Chip-Multiprocessors for Server Consolidation

Nombre del congreso: 40th International Conference on Parallel Processing (ICPP)

Ciudad de celebración: Taipei, Taiwán

Fecha de celebración: 09/2011

Entidad organizadora: IEEE Computer Society

Ciudad entidad organizadora: Washington, Estados Unidos de América

Antonio García Guirado; Ricardo Fernández Pascual; Alberto Ros Bardisa; José Manuel García Carrasco.

9 Título del trabajo: EMC²: Extending Magny-Cours Coherence for Large-Scale Servers

Nombre del congreso: 17th International Conference on High Performance Computing (HiPC-2010)

Autor de correspondencia: Si

Ciudad de celebración: Goa, India

Fecha de celebración: 19/12/2010

Fecha de finalización: 22/12/2010

Entidad organizadora: IEEE Computer Society

Ciudad entidad organizadora: Washington, Estados Unidos de América

Alberto Ros Bardisa; Blas Cuesta; Ricardo Fernández Pascual; Maria Engracia Gómez; Manuel Eugenio Acacio Sánchez; Antonio Robles; José Manuel García Carrasco; José Duato Marín.

- 10 Título del trabajo:** Analyzing Cache Coherence Protocols for Server Consolidation
Nombre del congreso: International Symposium on Computer Architecture and High Performance Computing (SBAC-PAD-2010)
Ciudad de celebración: Petrópolis, Brasil
Fecha de celebración: 27/10/2010
Fecha de finalización: 30/10/2010
Entidad organizadora: Brazilian Computer Society, **Tipo de entidad:** Asociaciones y Agrupaciones & IEEE
Antonio García Guirado; Ricardo Fernández Pascual; José Manuel García Carrasco.
- 11 Título del trabajo:** Virtual-GEMS: An Infrastructure to Simulate Virtual Machines
Nombre del congreso: 5th International Workshop on Modeling, Benchmarking and Simulation (in conjunction with ISCA-2009)
Ciudad de celebración: Austin, Texas, Estados Unidos de América
Fecha de celebración: 20/06/2009
Fecha de finalización: 24/06/2009
Entidad organizadora: IEEE Computer Society **Tipo de entidad:** Asociaciones y Agrupaciones
Ciudad entidad organizadora: Washington, Estados Unidos de América
Antonio García Guirado; Ricardo Fernández Pascual; José Manuel García Carrasco.
- 12 Título del trabajo:** Fault-tolerant cache coherence protocols for CMPs: evaluation and trade-offs
Nombre del congreso: International Conference on High Performance Computing (HiPC-2008)
Autor de correspondencia: Si
Ciudad de celebración: Bangalore, India
Fecha de celebración: 17/12/2008
Fecha de finalización: 20/12/2008
Entidad organizadora: IEEE Computer Society **Tipo de entidad:** Asociaciones y Agrupaciones
Ciudad entidad organizadora: Washington, Estados Unidos de América
Ricardo Fernández Pascual; José Manuel García Carrasco; Manuel Eugenio Acacio Sánchez; José Duato Marín.
- 13 Título del trabajo:** A Fault-Tolerant Directory-Based Cache Coherence Protocol for CMP Architectures
Nombre del congreso: 38th Annual IEEE/IFIP International Conference on Dependable Systems and Networks (DSN-2008)
Autor de correspondencia: Si
Ciudad de celebración: Anchorage, Alaska, Estados Unidos de América
Fecha de celebración: 24/06/2008
Fecha de finalización: 27/06/2006
Entidad organizadora: IEEE Computer Society **Tipo de entidad:** Asociaciones y Agrupaciones
Ciudad entidad organizadora: Washington, Estados Unidos de América
Ricardo Fernández Pascual; José Manuel García Carrasco; Manuel Eugenio Acacio Sánchez; José Duato Duato Marín.
- 14 Título del trabajo:** An Experimental Environment Validating the Suitability of CLI as an Effective Deployment Format for Embedded Systems
Nombre del congreso: International Conference on High Performance Embedded Architectures & Compilers (HiPEAC-2008)
Ciudad de celebración: Göteborg, Suecia
Fecha de celebración: 27/01/2008
Fecha de finalización: 28/01/2008
Entidad organizadora: HiPEAC (High Performance Embedded Architecture and Compilation)
Marco Cornero; Roberto Costa; Ricardo Fernández Pascual; Andrea Ornstein; Erven Rohou.

- 15** **Título del trabajo:** A Low Overhead Fault Tolerant Coherence Protocol for CMP Architectures
Nombre del congreso: International Symposium on High-Performance Computer Architecture (HPCA-13)
Autor de correspondencia: Si
Ciudad de celebración: Phoenix, Arizona, Estados Unidos de América
Fecha de celebración: 10/02/2007
Fecha de finalización: 14/02/2007
Entidad organizadora: IEEE Computer Society **Tipo de entidad:** Asociaciones y Agrupaciones
Ciudad entidad organizadora: Washington, Estados Unidos de América
Ricardo Fernández Pascual; José Manuel García Carrasco; Manuel Eugenio Acacio Sánchez; José Duato Marín. "Proc. of the 13th International Symposium on High-Performance Computer Architecture (HPCA-13)".
- 16** **Título del trabajo:** Validating a Token Coherence Protocol for Scientific Workloads
Nombre del congreso: 5th Annual Workshop on Duplicating, Deconstructing and Debunking (held in conjunction with ISCA-33)
Autor de correspondencia: Si
Ciudad de celebración: Boston, Estados Unidos de América
Fecha de celebración: 17/06/2006
Fecha de finalización: 21/06/2006
Entidad organizadora: IEEE Computer Society **Tipo de entidad:** Asociaciones y Agrupaciones
Ciudad entidad organizadora: Washington, Estados Unidos de América
Ricardo Fernández Pascual; José Manuel García Carrasco; Manuel Eugenio Acacio Sánchez.
- 17** **Título del trabajo:** x86: A Cost-Effective Performance Simulator
Nombre del congreso: 19th European Conference on Modelling and Simulation
Autor de correspondencia: Si
Ciudad de celebración: Riga, Letonia
Fecha de celebración: 02/06/2005
Fecha de finalización: 04/06/2005
Entidad organizadora: European Council for Modelling and Simulation
Ciudad entidad organizadora: Caserta, Italia
Ricardo Fernández Pascual; José Manuel García Carrasco.
- 18** **Título del trabajo:** Optimizing a 3D-FWT Video Encoder for SMPs and HyperThreading Architectures
Nombre del congreso: 13th Euromicro Conference on Parallel, Distributed and Network-based Processing
Autor de correspondencia: Si
Ciudad de celebración: Lugano, Suiza
Fecha de celebración: 09/02/2005
Fecha de finalización: 11/02/2005
Entidad organizadora: IEEE Computer Society **Tipo de entidad:** Asociaciones y Agrupaciones Press
Ciudad entidad organizadora: Washington, Estados Unidos de América
Ricardo Fernández Pascual; José Manuel García Carrasco; Gregorio Bernabé García; Manuel Eugenio Acacio Sánchez.